

PATENT
25611-000072/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.:	New Application	Group Art Unit:	Unknown
Filing Date:	September 23, 2003	Examiner:	Unknown
Applicants:	Sung-Dae CHO et al.	Conf. No.:	Unknown
Title:	SEMICONDUCTOR PACKAGE WITH PATTERN LEADS AND METHOD FOR MANUFACTURING THE SAME		

PRIORITY LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 23, 2003

Dear Sirs:

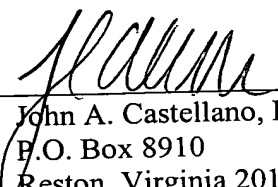
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-0007882	02/07/2003	KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By 
John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:mh

Enclosure

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0007882
Application Number

출원년월일 : 2003년 02월 07일
Date of Application FEB 07, 2003

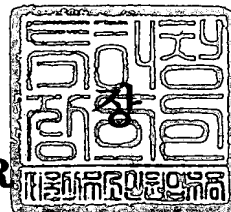
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.07
【국제특허분류】	H01L 23/28
【발명의 명칭】	패턴 리드를 갖는 반도체 패키지 및 그 제조 방법
【발명의 영문명칭】	Semiconductor package having pattern lead and method for manufacturing thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	김상준
【성명의 영문표기】	KIM, Sang Jun
【주민등록번호】	620107-1140413
【우편번호】	330-190
【주소】	충청남도 천안시 청수동 엘지ես케이아파트 102동 1504호
【국적】	KR
【발명자】	
【성명의 국문표기】	이주형
【성명의 영문표기】	LEE, Joo Hyung
【주민등록번호】	751202-1790312
【우편번호】	706-807
【주소】	대구광역시 수성구 만촌3동 863-17 8통 1반
【국적】	KR

【발명자】

【성명의 국문표기】

조성대

【성명의 영문표기】

CHO, Sung Dae

【주민등록번호】

680910-1009933

【우편번호】

330-769

【주소】

충청남도 천안시 신방동 향촌현대아파트 308동 1505호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

윤동열 (인) 대리인

이선희 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

9 면 9,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

14 항 557,000 원

【합계】

595,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장[1999년 1월 21일 포괄위임등록, 1999년 3월 15일 복대리인 선임]_1통

【요약서】**【요약】**

본 발명은 패턴 리드를 갖는 반도체 패키지 및 그 제조 방법에 관한 것으로, 종래의 와이어 본딩 사용에 따른 문제점 및 반도체 패키지의 박형화의 한계를 극복하기 위해서, 상부면에 다수개의 전극 패드가 형성되어 있고, 상기 전극 패드를 제외한 상기 상부면 전체에 절연성 보호층이 형성된 반도체 칩과; 상부면에 상기 반도체 칩의 하부면이 부착되며, 상기 반도체 칩이 부착된 지점에 근접하게 다수개의 기판 패드가 형성된 기판과; 상기 반도체 칩의 상부면의 가장자리를 포함하여 외측면 둘레에 형성된 절연성 제 1 외곽 봉합부와; 상기 반도체 칩, 상기 외곽 봉합부 및 상기 기판의 상부면에 형성되어 상기 반도체 칩의 전극 패드와 그에 대응되는 상기 기판의 기판 패드를 각기 연결하는 제 1 패턴 리드와; 상기 기판 상부면에 부착된 반도체 칩과, 기판 패드 및 제 1 패턴 리드 부분을 포함하여 봉합하는 수지 봉합부; 및 상기 기판의 하부면에 형성되며, 상기 기판 패드와 전기적으로 연결된 외부접속단자;를 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지 및 그 제조 방법을 제공한다.

【대표도】

도 1

【색인어】

패턴 리드, 도전성 잉크, 디스펜싱, 와이어, 본딩

【명세서】**【발명의 명칭】**

패턴 리드를 갖는 반도체 패키지 및 그 제조 방법{Semiconductor package having pattern lead and method for manufacturing thereof}

【도면의 간단한 설명】

도 1은 본 발명의 제 1 실시예에 따른 패턴 리드를 갖는 반도체 패키지를 보여주는 단면도이다.

도 2 내지 도 7은 도 1의 반도체 패키지의 제조 방법에 따른 각 단계를 보여주는 도면들로서,

도 2는 기판 위에 반도체 칩이 실장된 상태를 보여주는 평면도이고,

도 3은 외곽 봉합부를 형성하는 단계를 보여주는 평면도이고,

도 4는 도 3의 4-4선 단면도이고,

도 5는 도전성 잉크를 도포하여 반도체 칩과 기판을 전기적으로 연결하는 패턴 리드를 형성하는 단계를 보여주는 단면도이고,

도 6은 수지 봉합부를 형성하는 단계를 보여주는 단면도이고,

도 7은 솔더 볼을 형성하는 단계를 보여주는 단면도이다.

도 8 내지 도 15는 본 발명의 제 2 실시예에 따른 멀티 패턴 리드를 갖는 반도체 패키지의 제조 방법에 따른 각 단계를 보여주는 도면들로서,

도 8은 제 1 패턴 리드를 형성하는 단계를 보여주는 평면도이고,

도 9는 제 2 외곽 봉합부를 형성하는 단계를 보여주는 평면도이고,

도 10은 도 9의 10-10선 단면도이고,

도 11은 도 9의 11-11선 단면도이고,

도 12는 제 2 패턴 리드를 형성하는 단계를 보여주는 평면도이고,

도 13은 도 12의 13-13선 단면도이고,

도 14는 수지 봉합부를 형성하는 단계를 보여주는 단면도이고,

도 15는 솔더 볼을 형성하는 단계를 보여주는 단면도이다.

*** 도면의 주요 부분에 대한 설명 ***

10, 110 : 반도체 칩 12, 112 : 전극 패드

14, 114 : 보호층 16, 116 : 외측면

20, 120 : 기판 21, 121 : 기판 패드

30, 130 : 접착제 40, 142, 144 : 외곽 봉합부

50, 152, 154 : 패턴 리드 60, 160 : 수지 봉합부

70, 170 : 솔더 볼 80 : 디스펜서

100, 200 : 반도체 패키지

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<26> 본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 기판 위에 실장된 반도체 칩과 기판 사이의 전기적 연결 수단의 높이를 최소화할 수 있는 패턴 리드를 갖는 반도체 패키지 그 제조 방법에 관한 것이다.

- <27> 반도체 패키지 제조 방법에 있어서, 테이프 배선기판, 세라믹 배선기판, 인쇄회로 기판 등과 같이 판 형태의 기판에 반도체 칩을 실장한 이후에, 반도체 칩과 기판 사이의 전기적 연결 방법은 와이어 본딩법이 주로 사용되고 있다. 와이어 본딩은 캐필러리를 사용하여 본딩 와이어를 인출하여 반도체 칩의 전극 패드와 기판의 기판 패드를 전기적으로 연결한다.
- <28> 그런데 와이어 본딩 때 캐필러리에 의한 반도체 칩의 전극 패드에 가해지는 힘에 의해 전극 패드가 손상될 수 있고, 공중에 떠 있는 본딩 와이어의 외력에-성형 공정시 액상의 성형수지의 흐름, 운반 과정에서 발생하는 진동 등- 의한 본딩 와이어의 휨 발생에 따른 각종 문제 등이 야기될 수 있다.
- <29> 특히 기존의 와이어 본딩법은 본딩 와이어의 루프를 형성하고 유지하기 위해서 반도체 칩의 상부면에 대한 본딩 와이어의 최고점의 높이를-본딩 와이어의 직경에 따라서 차이는 있겠지만- $100\mu\text{m}$ 내지 $200\mu\text{m}$ 이하로 유지해야 하기 때문에, 본딩 와이어의 루프 높이를 낮추는 데는 한계가 있다. 따라서 기존의 와이어 본딩법은 반도체 패키지의 박형화의 장애요인으로 작용하고 있다.
- <30> 그 외 기존의 본딩법으로는 크로스 본딩을 행할 경우 교차하는 본딩 와이어 사이의 쇼트 발생 위험이 크고, 쇼트 발생 위험을 감소시키기 위해서는 상대적으로 위쪽에 위치하는 본딩 와이어의 루프를 상당히 높게 형성해야 하는 데, 이 경우 반도체 패키지의 두께가 두꺼워지는 요인으로 작용한다.

【발명이 이루고자 하는 기술적 과제】

- <31> 따라서, 본 발명의 목적은 와이어 본딩법을 대체할 수 있는 본딩법을 제공하여 본딩 와이어 사용에 따른 각종 문제점이 발생하는 것을 해소할 수 있도록 하는 데 있다.
- <32> 본 발명의 다른 목적은 반도체 패키지의 초박형화를 구현할 수 있는 본딩법을 제공하는 데 있다.
- <33> 본 발명의 또 다른 목적은 크로스 본딩을 최소한의 높이에서 구현하면서 크로스 본딩되는 전기적 연결 수단 사이의 전기적 쇼트 발생을 방지할 수 있도록 하는 데 있다.

【발명의 구성 및 작용】

- <34> 상기 목적을 달성하기 위하여, 상부면에 다수개의 전극 패드가 형성되어 있고, 상기 전극 패드를 제외한 상기 상부면 전체에 절연성 보호층이 형성된 반도체 칩과; 상부면에 상기 반도체 칩의 하부면이 부착되며, 상기 반도체 칩이 부착된 지점에 근접하게 다수개의 기판 패드가 형성된 기판과; 상기 반도체 칩의 상부면의 가장자리를 포함하여 외측면 둘레에 형성된 절연성 제 1 외곽 봉합부와; 상기 반도체 칩, 상기 외곽 봉합부 및 상기 기판의 상부면에 형성되어 상기 반도체 칩의 전극 패드와 그에 대응되는 상기 기판의 기판 패드를 각기 연결하는 제 1 패턴 리드와; 상기 기판 상부면에 부착된 반도체 칩과, 기판 패드 및 제 1 패턴 리드 부분을 포함하여 봉합하는 수지 봉합부; 및 상기 기판의 하부면에 형성되며, 상기 기판 패드와 전기적으로 연결된 외부접속단자;를 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지를 제공한다.
- <35> 본 발명에 따른 반도체 패키지는, 제 1 외곽 봉합부 상부면에 형성된 제 1 패턴 리드를 포함하여 제 1 외곽 봉합부를 봉합하는 절연성 제 2 외곽 봉합부와, 반도체 칩, 제

2 외곽 봉합부 및 기판의 상부면에 형성되어 반도체 칩의 전극 패드와 그에 대응되는 기판의 기판 패드를 각기 연결하는 제 2 패턴 리드를 더 포함한다.

<36> 본 발명에 따른 제 2 패턴 리드는 제 2 외곽 봉합부를 사이에 두고 제 1 패턴 리드와 교차되게 형성되는 적어도 하나 이상의 제 2 패턴 리드를 포함한다.

<37> 본 발명에 따른 제 1 및 제 2 외곽 봉합부는 포토솔더레지스트 또는 플라스틱 수지로 형성된다. 이때 제 2 외곽 봉합부는 제 1 패턴 리드의 일단이 접속된 반도체 칩의 전극 패드를 포함한 영역도 봉합한다.

<38> 그리고 본 발명에 따른 제 1 및 제 2 패턴 리드는 도전성 잉크를 디스펜싱하여 형성하거나, 금속 증착 방법으로 형성할 수 있다.

<39> 본 발명은 또한 전술된 반도체 패키지의 제조 방법도 제공한다. 즉, (a) 상부면에 다수개의 전극 패드가 형성되어 있고, 상기 전극 패드를 제외한 상기 상부면 전체에 절연성 보호층이 형성된 반도체 칩과, 상부면에 상기 반도체 칩이 부착될 지점에 근접하게 기판 패드가 형성된 기판을 준비하는 단계와; (b) 상기 기판의 상부면에 상기 반도체 칩의 하부면을 부착하는 단계와; (c) 상기 반도체 칩의 상부면의 가장자리를 포함하여 외측면 둘레에 절연성 제 1 외곽 봉합부를 형성하는 단계와; (d) 상기 반도체 칩, 상기 제 1 외곽 봉합부 및 상기 기판의 상부면에 형성되어 상기 반도체 칩의 전극 패드와 그에 대응되는 상기 기판의 기판 패드를 각기 연결하는 제 1 패턴 리드를 형성하는 단계와; (e) 상기 기판 상부면에 부착된 반도체 칩과, 기판 패드 및 제 1 패턴 리드 부분을 포함하여 봉합하여 수지 봉합부를 형성하는 단계; 및 (f) 상기 기판의 하부면에 형성되며, 상기 기판 패드와 전기적으로 연결하는 외부접속단자를 형성하는 단계;를 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법을 제공한다.

<40> 본 발명의 제조 방법에 따른 (d) 단계 후에, (d1) 제 1 외곽 봉합부 상부면에 형성된 제 1 패턴 리드를 포함하여 제 1 외곽 봉합부를 봉합하는 절연성 제 2 외곽 봉합부를 형성하는 단계와, (d2) 반도체 칩, 제 2 외곽 봉합부 및 기판의 상부면에 형성되어 반도체 칩의 전극 패드와 그에 대응되는 기판의 기판 패드를 각기 연결하는 제 2 패턴 리드를 형성하는 단계를 더 포함한다. 이때, (f) 단계에서, 제 2 외곽 봉합부 및 제 2 패턴 리드도 상기 수지 봉합부에 의해 봉합된다.

<41> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

<42> 도 1은 본 발명의 제 1 실시예에 따른 패턴 리드(50)를 갖는 반도체 패키지(100)를 보여주는 단면도이다. 도 1을 참조하면, 제 1 실시예에 따른 반도체 패키지(100)는 기판(20)의 상부면에 반도체 칩(10)이 부착되고, 기판(20)에 부착된 반도체 칩(10)의 외곽은 절연성 외곽 봉합부(40)에 의해 덮여지고, 기판(20)과 반도체 칩(10)이 패턴 리드(50)에 의해 전기적으로 연결되고, 기판(20) 상부면에 형성된 반도체 칩(10)을 포함한 전기적 연결 부분은 수지 봉합부(60)에 덮혀 보호되며, 기판(20) 하부면에 솔더 볼(70)이 형성된 구조를 갖는다. 이때, 종래의 통상적인 반도체 패키지에 있어서의 기판과 반도체 칩의 연결 방법인 와이어 본딩법 대신에 본 발명의 제 1 실시예에서는 반도체 칩의 전극 패드(12)에서 기판의 기판 패드(21)까지 상부면을 따라서 형성된 패턴 리드(50)에 의해 전기적으로 연결된 구조를 갖는다. 따라서 본 발명의 제 1 실시예에 따른 반도체 패키지(100)는 반도체 칩(10) 위에 위치하는 전기적 연결 수단의 높이를 반도체 칩(10)의 상부면에서 소정의 높이로 형성된 외곽 봉합부(40)의 두께와 패턴 리드(50)의 두께의 합에 대응되는 높이로 구현할 수 있기 때문에, 반도체 패키지(100)의 초박형화가 가능하다.

- <43> 제 1 실시예에 따른 반도체 패키지(100)에 대해서 좀더 상세히 설명하면, 반도체 칩(10)은 상부면의 가장자리 둘레에 다수개의 전극 패드(12)가 형성되어 있고, 전극 패드(12)를 제외한 상부면 전체에 절연성 보호층(14)이 형성되어 있다. 본 발명의 제 1 실시예에서는 에지 패드(edge pad)형 반도체 칩(10)을 예시하였지만, 센터 패드(center pad)형 반도체 칩을 사용할 수도 있다.
- <44> 기판(20)은 인쇄회로기판으로서, 상부면과 하부면을 갖는 기판 몸체(22)와, 기판 몸체(22)에 형성된 다층의 금속 배선층(24)으로 구성된다. 금속 배선층(24)은 기판 몸체(22)의 상부면에 접착제(30)를 개재하여 부착된 반도체 칩의 전극 패드(12)와 전기적으로 연결되는 기판 패드(21)를 포함하는 상부 배선층과, 기판 몸체(22)의 하부면에 형성되며 솔더 볼(70)이 용착되는 솔더 볼 패드(23)를 포함하는 하부 배선층으로 이루어지며, 금속 배선층(24)은 기판 몸체(22)에 적층된 구리 박막(copper foil)을 패터닝하여 형성한다. 그리고, 솔더 볼(70)이 부착될 솔더 볼 패드(23)와, 기판 패드(21)를 제외한 기판(20)의 전면에 솔더 레지스트층(28; solder resist layer)이 형성되어 있다. 한편, 기판 패드(21)와 솔더 볼 패드(23)는 기판 몸체(22)를 관통하여 형성된 비아(26)를 통하여 전기적으로 연결된다. 한편 본 발명의 제 1 실시예에서는 기판(20)으로 인쇄회로기판을 예시하였지만, 테이프 배선기판, 세라믹 기판과 같은 배선기판을 사용할 수도 있다.
- <45> 외곽 봉합부(40)는 기판(20) 상부면에 부착된 반도체 칩(10)의 상부면의 가장자리를 포함하여 외측면(16) 둘레에 형성되며, 패턴 리드(45)를 형성할 때 반도체 칩의 외측면(16)과의 전기적 쇼트를 방지할 수 있도록 절연성 소재 예컨대, 포토솔더레지스트 또는 플라스틱 수지를 사용하는 것이 바람직하다. 즉, 반도체 칩(10)의 상부면은 보호층

(14)으로 덮여 있기 때문에, 보호층(14) 위에 도전성의 패턴 리드(50)를 형성하여도 무방하지만, 반도체 칩의 외측면(16)은 반도체 칩(10)을 얻기 위해서 웨이퍼를 쏘잉하는 과정에서 그대로 외부에 노출되기 때문에, 외곽 봉합부를 형성하지 않고 패턴 리드를 형성할 경우 패턴 리드가 반도체 칩의 외측면과 접촉하게 되면 전기적 쇼트가 발생할 수 있다. 그리고 외곽 봉합부(40)는 패턴 리드(50)를 안정적으로 형성할 수 있는 베이스 판으로서의 역할도 담당할 수 있도록, 소정의 각도로 경사지게 형성하는 것이 바람직하다. 패턴 리드와 반도체 칩 외측면의 전기적 쇼트를 방지할 목적이라면 외곽 봉합부를 반도체 칩의 외측면에 근접하게 형성하여도 무방하지만, 그럴 경우 수직에 가까운 반도체 칩의 외측면을 따라서 패턴 리드를 형성하는 것이 쉽지 않기 때문이다.

<46> 패턴 리드(50)는 반도체 칩의 전극 패드(12)와 기판의 기판 패드(21)를 전기적으로 연결하는 수단으로서, 반도체 칩(10), 외곽 봉합부(40) 및 기판(20) 상부면에 형성되어 반도체 칩의 전극 패드(12)와 기판의 기판 패드(21)를 전기적으로 연결한다. 패턴 리드(50)는 도전성 소재의 도전성 잉크를 디스펜싱하여 형성할 수도 있고, 반도체 소자 제조 방법에 사용되는 금속 증착 방법으로 형성할 수도 있다.

<47> 수지 봉합부(60)는 기판(20) 상부면에 부착된 반도체 칩(10), 기판 패드(21) 및 패턴 리드(50)를 포함한 전기적 연결 부분을 외부환경으로부터 보호하는 부분으로, 액상의 성형수지를 도포하거나 성형 금형 방법으로 형성한다.

<48> 그리고 외부접속단자인 솔더 볼(70)이 기판(20) 하부면의 솔더 볼 패드(23)에 융착되며, 기판(20)에 형성된 비아(26)를 통하여 솔더 볼(70)과 기판 패드(21)가 전기적으로 연결된다.

- <49> 따라서 본 발명의 제 1 실시예에 따른 반도체 칩의 전극 패드(12)와 기판의 기판 패드(21)의 전기적 연결 수단인 패턴 리드(50)가 반도체 칩(10), 외곽 봉합부(40) 및 기판(20)의 상부면에 형성되기 때문에, 반도체 칩(10)의 상부면에 대한 전기적 연결 수단을 형성하는 데 필요한 높이를 수 μm 내지 50 μm 정도로 축소할 수 있다. 더불어 본딩 와이어 사용에 따른 각종 문제점을 해결할 수 있음은 물론이다.
- <50> 이와 같은 구조를 갖는 제 1 실시예에 따른 반도체 패키지의 제조 방법이 도 2 내지 도 7에 도시되어 있다. 한편 도면을 통틀어 동일한 도면 부호는 동일한 구성요소를 나타낸다.
- <51> 먼저 도 2에 도시된 바와 같이, 반도체 패키지 제조 공정은 반도체 칩(10)과 기판(20)을 준비하는 단계로부터 출발한다. 다음으로 기판(10)의 상부면에 접착제(30)를 개재하여 반도체 칩(10)의 하부면을 부착한다. 접착제(30)로는 비전도성 또는 전도성 접착제를 사용할 수 있다. 이때 기판(20)의 상부면에는 반도체 칩(10)이 부착된 면에 근접하게 기판 패드(21)들이 형성되어 있다.
- <52> 다음으로 도 3 및 도 4에 도시된 바와 같이, 외곽 봉합부(40)를 형성하는 단계를 진행한다. 반도체 칩(10)의 상부면의 가장자리를 포함하여 외측면(16) 둘레에 절연성 소재인 포토솔더레지스트 또는 플라스틱 수지를 도포하여 외곽 봉합부(40)를 형성한다. 외곽 봉합부(40)는 반도체 칩의 전극 패드(12)와 기판의 기판 패드(21) 사이에 형성된다.
- <53> 다음으로 도 5에 도시된 바와 같이, 반도체 칩의 전극 패드(12)와 그에 대응되는 기판의 기판 패드(21)를 연결하는 패턴 리드(50)를 형성하는 단계를 진행한다. 패턴 리드(50)는 반도체 칩(10), 외곽 봉합부(40) 및 기판(20)의 상부면에 형성되어 반도체 칩

의 전극 패드(12)와 기관의 기관 패드(21)를 전기적으로 연결한다. 예컨대, 패턴 리드(50)는 소정의 점도를 갖는 도전성 잉크(56)가 충전된 디스펜서(80)를 이용하여 반도체 칩의 전극 패드(12)의 상부면에 디스펜싱을 시작하여 그에 대응되는 기관의 기관 패드(21) 위에서 디스펜싱을 마침으로써 패턴 리드(50)를 형성한다. 이때, 디스펜싱법으로 패턴 리드(50)를 안정적으로 형성할 수 있도록, 외곽 봉합부(40)의 상부면은 소정의 경사면을 이루도록 형성하는 바람직하다.

<54> 한편 본 발명의 실시예에서는 디스펜싱 방법으로 패턴 리드(50)를 형성하였지만, 반도체 소자 제조 방법에 사용되는 금속 증착 방법으로 형성할 수도 있다.

<55> 다음으로 도 6에 도시된 바와 같이, 수지 봉합부(60)를 형성하는 단계가 진행된다. 수지 봉합부(60)는 기관(20) 상부면에 부착된 반도체 칩(10)과, 기관 패드(21) 그리고 패턴 리드(50)를 포함한 전기적 연결 부분을 액상의 성형 수지로 봉합하여 형성된다.

<56> 마지막으로 도 7에 도시된 바와 같이, 외부접속단자인 솔더 볼(70)을 형성하는 단계를 진행함으로써 반도체 패키지(100) 제조 공정이 마무리된다. 외부접속단자인 솔더 볼(70)이 기관(20) 하부면의 솔더 볼 패드(23)에 융착되며, 기관(20)에 형성된 비아(26)를 통하여 솔더 볼(70)과 기관 패드(21)가 전기적으로 연결된다.

<57> 한편 본 발명의 제 1 실시예에서는 한 층의 외곽 봉합부 위에 패턴 리드가 형성된 예를 개시하였지만, 2층 이상으로 외곽 봉합부를 형성하여 다층의 패턴 리드가 형성된 반도체 패키지 및 그 제조 방법을 구현할 수 있다.

<58> 본 발명의 제 2 실시예에서는 2층의 외곽 봉합부 및 패턴 리드가 형성된 예를 개시하였지만, 제 2 실시예에 따른 방법을 이용하여 2층 이상의 외곽 봉합부 및 패턴 리드를

형성할 수 있는 본 발명이 속하는 기술분야의 통상의 지식을 가진 자에게는 자명하다 하겠다.

<59> 제 2 실시예에서는 2층의 외곽 봉합부 및 패턴 리드를 형성함으로써, 서로 대응되는 반도체 칩의 전극 패드의 순서와 기판의 기판 패드의 순서가 어긋난 것이 하나 이상 존재하는 경우의 안정적인 전기적 연결 방법을 제시한다. 만약 종래의 와이어 본딩법으로 전기적으로 연결할 경우, 교차하는 본딩 와이어 사이의 전기적 쇼트 문제가 우려된다. 이와 같은 전기적 쇼트를 억제하기 위해서는 상대적으로 위쪽에 위치하는 본딩 와이어의 루프를 높게 형성할 수밖에 없다. 이럴 경우 높게 형성된 본딩 와이어 루프에 의한 패키지의 두께가 두꺼워지는 문제점이 발생된다.

<60> 도 8 내지 도 15는 본 발명의 제 2 실시예에 따른 멀티 패턴 리드를 갖는 반도체 패키지(200)의 제조 방법에 따른 각 단계를 보여주는 도면들이다. 한편 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 나타낸다. 그리고 이하의 설명에 있어서, 2층으로 형성되는 외곽 봉합부와 패턴 리드를 구분하기 위해서, 아래층에 형성되는 외곽 봉합부 및 패턴 리드를 제 1 외곽 봉합부 및 제 1 패턴 리드라 하고, 제 1 외곽 봉합부 및 제 1 패턴 리드의 상부에 형성되는 외곽 봉합부 및 패턴 리드를 제 2 외곽 봉합부 및 제 2 패턴 리드라 한다.

<61> 제 1 실시예의 도 2 내지 도 5에 전술한 바와 같이, 반도체 칩(110)의 외측면(116) 둘레에 제 1 외곽 봉합부(142)를 형성하고, 제 1 외곽 봉합부(142) 상부면에 제 1 패턴 리드(152)를 형성하는 단계는 제 1 실시예와 동일한 방법으로 진행되기 때문에, 상세한 설명은 생략한다.

- <62> 먼저 도 8을 참조하면, 반도체 칩의 전극 패드(112) 중 일부의 전극 패드(112a)와 그에 대응되는 일부의 기판의 기판 패드(121a)를 전기적으로 연결하는 제 1 패턴 리드(152)를 형성하는 단계가 진행된다. 이때 반도체 칩(110)과 기판(120)은 서로 대응되는 반도체 칩의 전극 패드(112b)의 순서와 기판의 기판 패드(121b)의 순서가 어긋난 것이 하나 이상 존재한다.
- <63> 다음으로 도 9 내지 도 11에 도시된 바와 같이, 절연성 제 2 외곽 봉합부(144)를 형성하는 단계를 진행한다. 제 2 외곽 봉합부(144)는 제 1 외곽 봉합부(142) 상부면에 형성된 제 1 패턴 리드(152)를 덮을 수 있도록 제 1 외곽 봉합부(142)를 포함하도록 형성된다. 이때, 본 발명의 제 2 실시예에 따른 제 2 외곽 봉합부(144)는 제 1 패턴 리드(152)의 일단이 접속된 반도체 칩의 전극 패드(112a)를 포함한 영역도 덮게 형성된다. 물론 전기적 연결 공정이 진행되지 않은 전극 패드(112b)는 제 2 외곽 봉합부(144)에 의해 덮이지 않는다.
- <64> 도 10은 제 2 외곽 봉합부(144)에 의해 제 1 패턴 리드(152)의 일단이 접속된 반도체 칩의 전극 패드(112a)가 봉합된 상태를 도시하고 있고, 도 11은 전기적 연결 공정이 진행되지 않은 전극 패드(112b)를 제외한 영역이 제 2 외곽 봉합부(144)에 의해 봉합된 상태를 도시하고 있다.
- <65> 다음으로 도 12 및 도 13에 도시된 바와 같이, 제 2 패턴 리드(154)를 형성하는 단계가 진행된다. 제 2 패턴 리드(154)는 반도체 칩(110), 제 2 외곽 봉합부(144) 및 기판(120)의 상부면에 형성되어 반도체 칩의 전극 패드(112b)와 기판의 기판 패드(121b)를 전기적으로 연결한다. 제 2 패턴 리드(154)를 형성하는 방법은 제 1 실시예에 개시된 방법과 동일한 방법으로 형성한다.

- <66> 제 2 패턴 리드(154)는 제 2 외곽 봉합부(144)를 사이에 두고 이웃하는 제 1 패턴 리드(152)와 교차하여 제 1 패턴 리드(152)들이 연결된 기판의 기판 패드(121a) 사이에 기판 패드(121b)와 전기적으로 연결된다. 이때, 제 1 패턴 리드(152)와 제 2 패턴 리드(154) 사이에는 절연성 소재의 제 2 외곽 봉합부(144)가 존재하기 때문에, 교차하는 제 1 패턴 리드(152) 및 제 2 패턴 리드(154) 사이의 전기적 쇼트 발생을 차단할 수 있다. 뿐만 아니라 제 2 외곽 봉합부(144) 상부면에 제 2 패턴 리드(154)를 형성하기 때문에, 제 2 패턴 리드(154) 형성에 따른 반도체 패키지의 두께의 증가를 최소화할 수 있다.
- <67> 다음으로 도 14에 도시된 바와 같이, 수지 봉합부(160)를 형성하는 단계가 진행된다. 수지 봉합부(160)는 기판(120) 상부면에 부착된 반도체 칩(110), 제 2 외곽 봉합부(144), 기판 패드(121) 그리고 제 1 및 제 2 패턴 리드(152, 154)를 액상의 성형 수지로 봉합하여 형성된다.
- <68> 마지막으로 도 7에 도시된 바와 같이, 외부접속단자인 솔더 볼(170)을 형성하는 단계를 진행함으로써 반도체 패키지(200) 제조 공정이 마무리된다. 외부접속단자인 솔더 볼(170)이 기판(120) 하부면의 솔더 볼 패드(123)에 음착되며, 기판(120)에 형성된 비아(126)를 통하여 솔더 볼(170)과 기판 패드(121)가 전기적으로 연결된다.
- <69> 한편, 본 발명의 제 2 실시예에서는 제 2 외곽 봉합부(154)를 사이에 두고 교차하여 형성된 제 1 및 제 2 패턴 리드(152, 154)를 예시하였지만, 멀티 패턴 리드 구조는 반도체 칩의 전극 패드의 간격이 좁은 경우에도 적용할 수 있다. 예컨대, 전극 패드의 크기가 전극 패드에 볼 본딩되는 본딩 와이어의 크기보다 작을 경우 서로 이웃하는 전극 패드에 본딩된 본딩 와이어 사이의 전기적 쇼트가 문제될 수 있지만, 제 1 패턴 리드와 제 2 패턴 리드를 교대로 형성할 경우에는 전술된 바와 같은 불량을 해소할 수 있다.

<70> 그 외 전극 패드가 복수열로 형성된 반도체 칩에도 적용할 수 있다. 즉, 앞쪽열에서 뒤쪽열로 외곽 봉합부 및 패턴 리드 형성 공정을 반복하여 멀티 패턴 리드 구조로 구현할 수 있다.

<71> 즉, 본 명세서와 도면에 개시된 본 발명의 실시예들은 이해를 돕기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

【발명의 효과】

<72> 따라서, 본 발명의 구조를 따르면 기판에 부착된 반도체 칩의 외곽에 절연성의 외곽 봉합부를 형성하고, 반도체 칩의 전극 패드와 기판의 기판 패드를 패턴 리드로 전기적으로 연결함으로써, 본딩 와이어 사용에 따른 문제점을 해소할 수 있다.

<73> 패턴 리드를 다층으로 형성할 수 있고, 층간 패턴 리드들 사이의 절연은 외곽 봉합부에 의해 구현되기 때문에, 패턴 리드를 교차하게 형성할 수도 있다. 따라서 반도체 칩의 전극 패드 배열 및 기판의 기판 패드 배열에 유연성을 제공할 수 있다.

<74> 그리고 패턴 리드의 폭의 조절과 더불어 패턴 리드를 다층으로 형성할 수 있기 때문에, 반도체 칩의 전극 패드의 크기의 축소에 대응할 수 있는 장점도 있다.

【특허청구범위】**【청구항 1】**

상부면에 다수개의 전극 패드가 형성되어 있고, 상기 전극 패드를 제외한 상기 상부면 전체에 절연성 보호층이 형성된 반도체 칩과;

상부면에 상기 반도체 칩의 하부면이 부착되며, 상기 반도체 칩이 부착된 지점에 근접하게 다수개의 기판 패드가 형성된 기판과;

상기 반도체 칩의 상부면의 가장자리를 포함하여 외측면 둘레에 형성된 절연성 제 1 외곽 봉합부와;

상기 반도체 칩, 상기 외곽 봉합부 및 상기 기판의 상부면에 형성되어 상기 반도체 칩의 전극 패드와 그에 대응되는 상기 기판의 기판 패드를 각기 연결하는 제 1 패턴 리드와;

상기 기판 상부면에 부착된 반도체 칩과, 기판 패드 및 제 1 패턴 리드 부분을 포함하여 봉합하는 수지 봉합부; 및

상기 기판의 하부면에 형성되며, 상기 기판 패드와 전기적으로 연결된 외부접속단자;를 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지.

【청구항 2】

제 1항에 있어서, 상기 제 1 외곽 봉합부 상부면에 형성된 상기 제 1 패턴 리드를 포함하여 상기 제 1 외곽 봉합부를 봉합하는 절연성 제 2 외곽 봉합부와;

상기 반도체 칩, 상기 제 2 외곽 봉합부 및 상기 기판의 상부면에 형성되어 상기 반도체 칩의 전극 패드와 그에 대응되는 상기 기판의 기판 패드를 각기 연결하는 제 2 패턴 리드;를 더 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지.

【청구항 3】

제 2항에 있어서, 상기 제 2 패턴 리드는 상기 제 2 외곽 봉합부를 사이에 두고 상기 제 1 패턴 리드와 교차되게 형성되는 적어도 하나 이상의 제 2 패턴 리드를 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지.

【청구항 4】

제 2항에 있어서, 상기 제 1 및 제 2 외곽 봉합부는 포토솔더레지스트 또는 플라스틱 수지인 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지.

【청구항 5】

제 4항에 있어서, 상기 제 2 외곽 봉합부는 상기 제 1 패턴 리드의 일단이 접속된 상기 반도체 칩의 전극 패드를 포함한 영역도 봉합하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지.

【청구항 6】

제 2항에 있어서, 상기 제 1 및 제 2 패턴 리드는 도전성 잉크를 디스펜싱하여 형성된 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지.

【청구항 7】

제 2항에 있어서, 상기 제 1 및 제 2 패턴 리드는 금속 증착 방법으로 형성된 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지.

【청구항 8】

(a) 상부면에 다수개의 전극 패드가 형성되어 있고, 상기 전극 패드를 제외한 상기 상부면 전체에 절연성 보호층이 형성된 반도체 칩과, 상부면에 상기 반도체 칩이 부착될 지점에 근접하게 기판 패드가 형성된 기판을 준비하는 단계와;

(b) 상기 기판의 상부면에 상기 반도체 칩의 하부면을 부착하는 단계와;

(c) 상기 반도체 칩의 상부면의 가장자리를 포함하여 외측면 둘레에 절연성 제 1 외곽 봉합부를 형성하는 단계와;

(d) 상기 반도체 칩, 상기 제 1 외곽 봉합부 및 상기 기판의 상부면에 형성되어 상기 반도체 칩의 전극 패드와 그에 대응되는 상기 기판의 기판 패드를 각기 연결하는 제 1 패턴 리드를 형성하는 단계와;

(e) 상기 기판 상부면에 부착된 반도체 칩과, 기판 패드 및 제 1 패턴 리드 부분을 포함하여 봉합하여 수지 봉합부를 형성하는 단계; 및

(f) 상기 기판의 하부면에 형성되며, 상기 기판 패드와 전기적으로 연결하는 외부 접속단자를 형성하는 단계;를 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법.

【청구항 9】

제 8항에 있어서, 상기 (d) 단계 후에,

(d1) 상기 제 1 외곽 봉합부 상부면에 형성된 상기 제 1 패턴 리드를 포함하여 상기 제 1 외곽 봉합부를 봉합하는 절연성 제 2 외곽 봉합부를 형성하는 단계와;

(d2) 상기 반도체 칩, 상기 제 2 외곽 봉합부 및 상기 기관의 상부면에 형성되어 상기 반도체 칩의 전극 패드와 그에 대응되는 상기 기관의 기관 패드를 각기 연결하는 제 2 패턴 리드를 형성하는 단계;를 더 포함하며,

상기 (f) 단계에서, 상기 제 2 외곽 봉합부 및 제 2 패턴 리드도 상기 수지 봉합부에 의해 봉합되는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법.

【청구항 10】

제 9항에 있어서, (d2) 단계는 상기 제 2 외곽 봉합부를 사이에 두고 상기 제 1 패턴 리드와 교차되게 적어도 하나 이상의 제 2 패턴 리드를 형성하는 단계를 포함하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법.

【청구항 11】

제 9항에 있어서, 상기 (c) 단계 및 상기 (d1) 단계는 액상의 포토솔더레지스트 또는 플라스틱 수지를 도포하여 형성하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법.

【청구항 12】

제 11항에 있어서, 상기 (d1) 단계는 상기 제 1 패턴 리드의 일단이 접속된 상기 반도체 칩의 전극 패드를 포함한 영역도 봉합하여 상기 제 2 외곽 봉합부를 형성하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법.

【청구항 13】

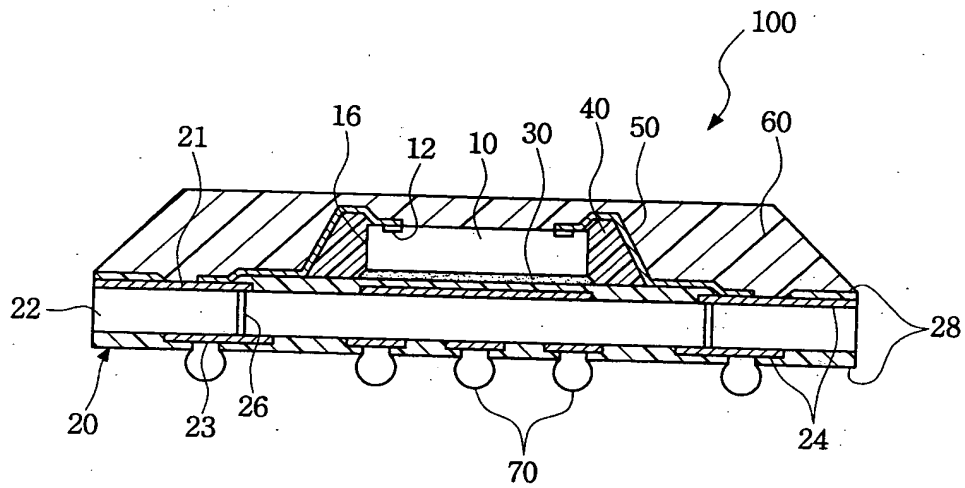
제 9항에 있어서, 상기 (d) 단계 및 상기 (d2) 단계는 도전성 잉크를 디스펜싱하여 상기 제 1 및 제 2 패턴 리드를 형성하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법.

【청구항 14】

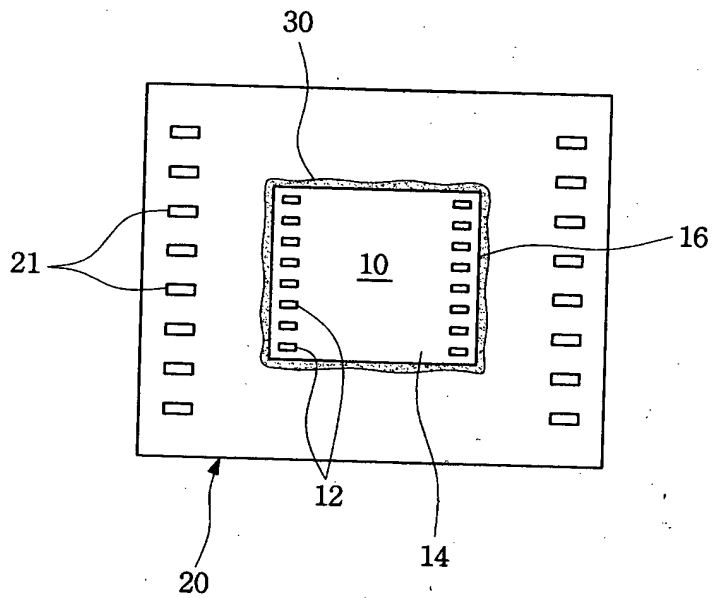
제 9항에 있어서, 상기 (d) 단계 및 상기 (d2) 단계는 금속 증착 방법으로 상기 제 1 및 제 2 패턴 리드를 형성하는 것을 특징으로 하는 패턴 리드를 갖는 반도체 패키지의 제조 방법.

【도면】

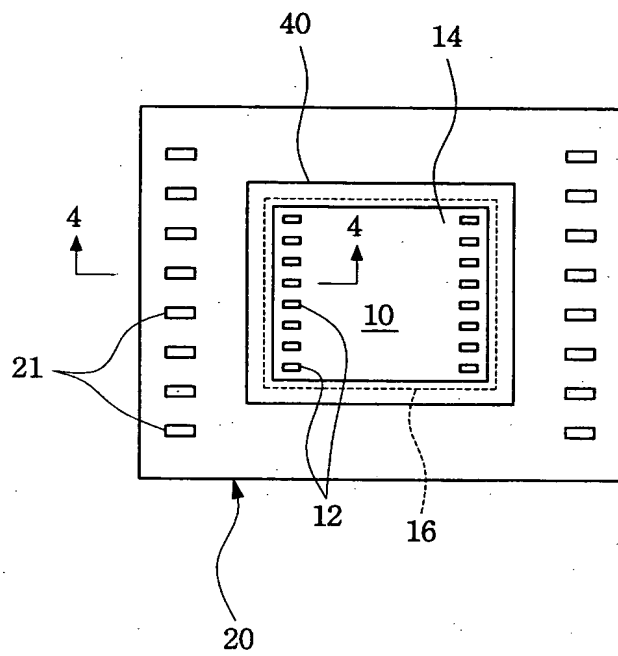
【도 1】



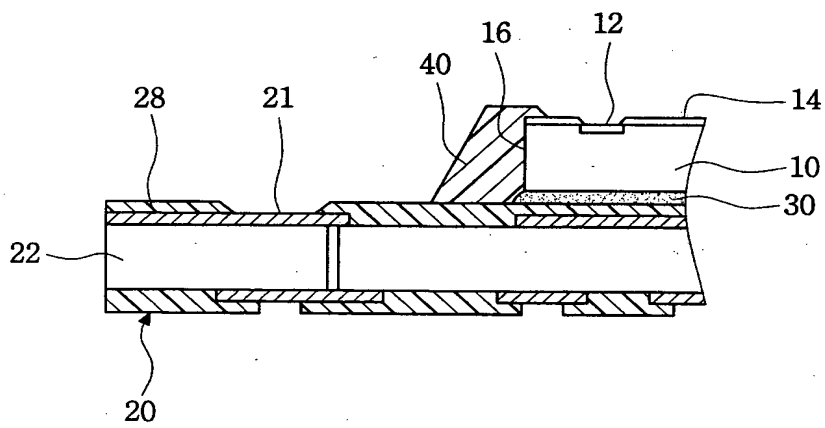
【도 2】



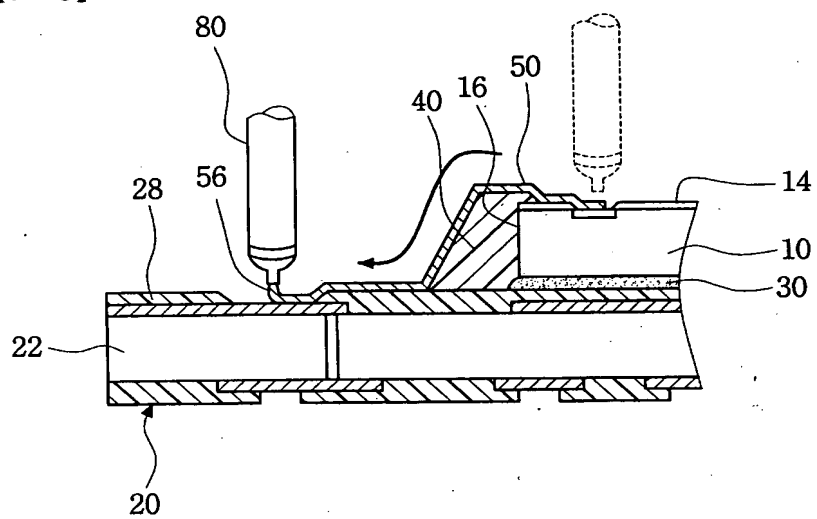
【도 3】



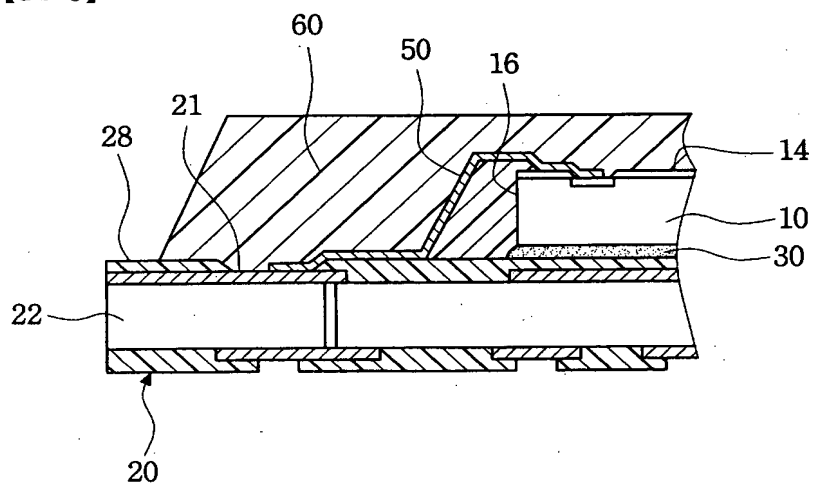
【도 4】



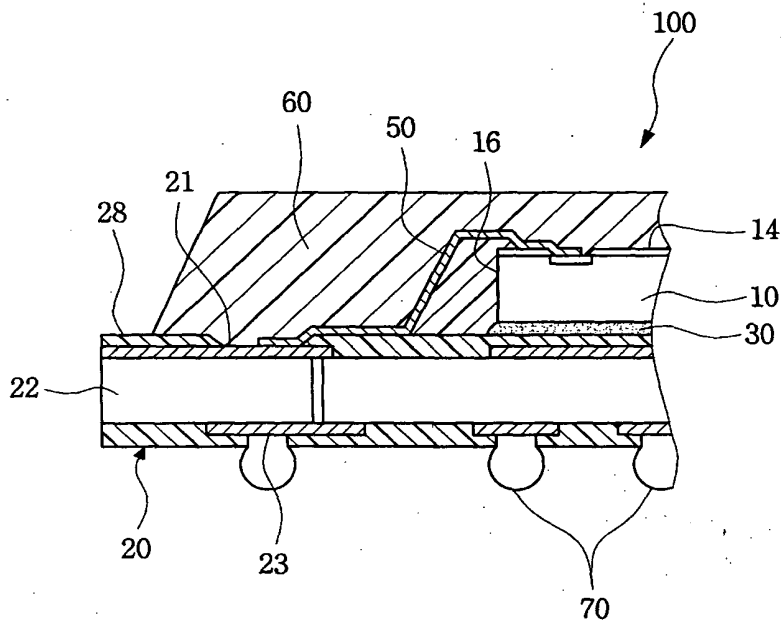
【도 5】



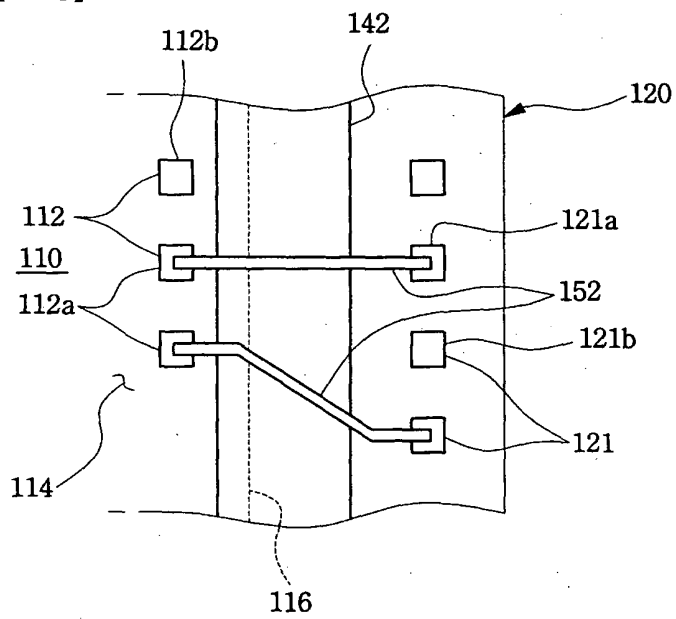
【도 6】



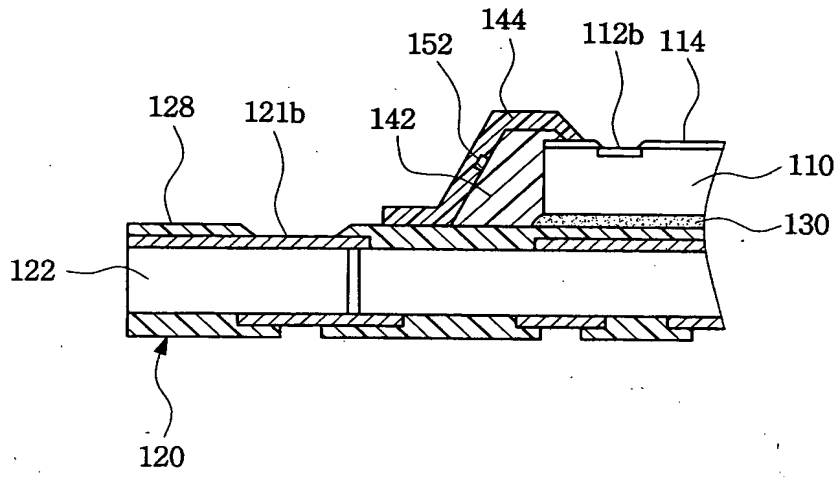
【도 7】



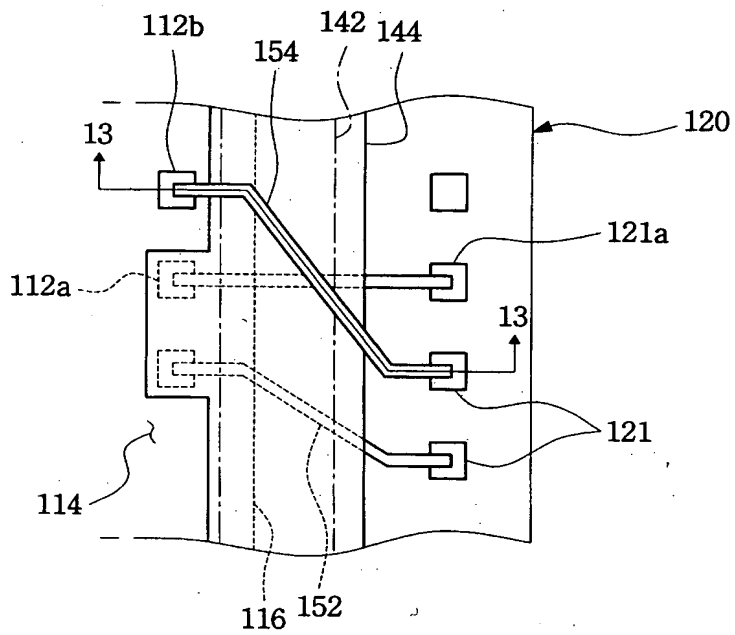
【도 8】



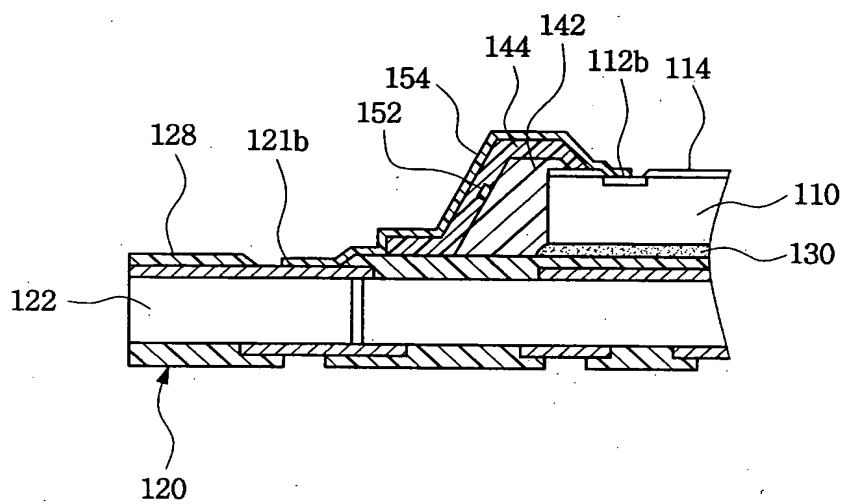
【도 11】



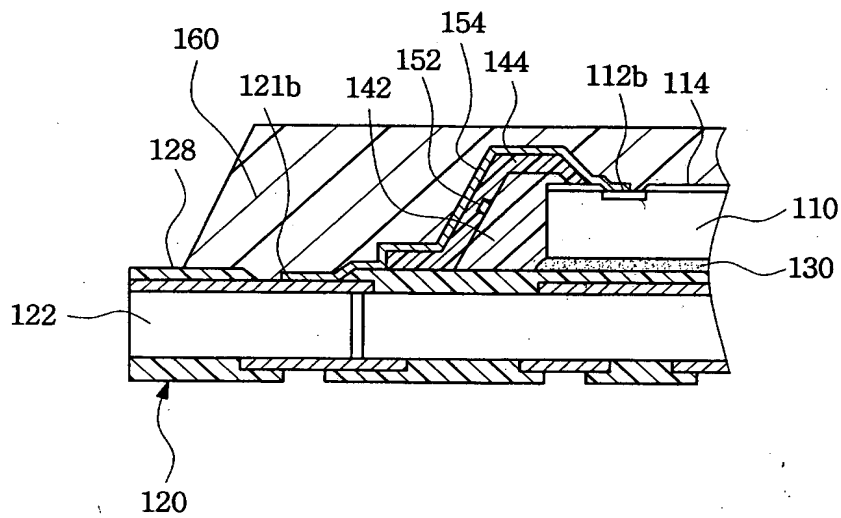
【도 12】



【도 13】



【도 14】



【도 15】

